

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2006年2月2日 (02.02.2006)

PCT

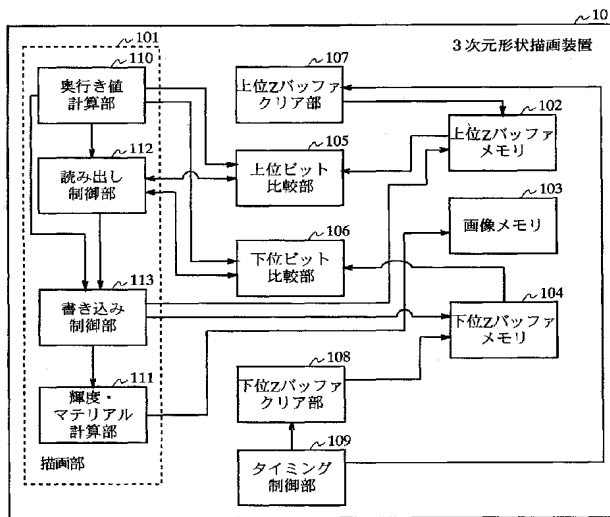
(10) 国際公開番号
WO 2006/011307 A1

- (51) 国際特許分類⁷: G06T 15/40
 (21) 国際出願番号: PCT/JP2005/010500
 (22) 国際出願日: 2005年6月8日 (08.06.2005)
 (25) 国際出願の言語: 日本語
 (26) 国際公開の言語: 日本語
 (30) 優先権データ:
 特願2004-215239 2004年7月23日 (23.07.2004) JP
 (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真 1006 Osaka (JP).
 (72) 発明者; および
 (75) 発明者/出願人 (米国についてのみ): 若山 順彦 (WAKAYAMA, Yorihiro).
- (74) 代理人: 小笠原 史朗 (OGASAWARA, Shiro); 〒5640053 大阪府吹田市江の木町 3 番 1 1 号 第 3 ロンデビル Osaka (JP).
 (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
 (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,

[続葉有]

(54) Title: THREE-DIMENSIONAL SHAPE DRAWING DEVICE AND THREE-DIMENSIONAL SHAPE DRAWING METHOD

(54) 発明の名称: 3次元形状描画装置及び3次元形状描画方法



110... DEPTH VALUE CALCULATING SECTION
 112... READ CONTROL SECTION
 113... WRITE CONTROL SECTION
 111... BRIGHTNESS/MATERIAL CALCULATING SECTION
 101... DRAWING UNIT
 107... UPPER-ORDER Z BUFFER CLEAR SECTION
 105... UPPER-ORDER BIT COMPARING SECTION
 106... LOWER-ORDER BIT COMPARING SECTION
 108... LOWER-ORDER Z BUFFER CLEAR SECTION
 109... TIMING CONTROL SECTION
 10... THREE-DIMENSIONAL SHAPE DRAWING DEVICE
 102... UPPER-ORDER Z BUFFER MEMORY
 103... IMAGE MEMORY
 104... LOWER-ORDER Z BUFFER MEMORY

(57) Abstract: A three-dimensional drawing device for drawing a three-dimensional shape at high speed. An upper-order bit comparing section compares the upper-order bit held in an upper-order Z buffer memory with the upper-order bit of the depth value calculated by a depth value calculating section. If the upper-order bits agree with each other, a lower-order bit comparing section compares the lower-order bit of the depth value held in a lower-order bit Z buffer memory with the lower-order bit of the depth value calculated by the depth value calculating section. A record update section updates the upper-order bit of the depth value held in the upper-order Z buffer memory and the lower-order bit held in the lower-order Z buffer memory if the depth indicated by the upper-order bit of the depth value calculated by the depth value calculating section is shallow, and updates the lower-order bit held in the lower-order Z buffer memory if the depth indicated by the lower-order bit of the depth value calculated by the depth value calculating section is shallow.

(57) 要約: 3次元形状を高速に描画することができる3次元形状描画装置を提供することを目的とする。上位ビット比較部は、上位Zバッファメモリが保持する上位ビットと、奥行き値計算部によって計算された奥行き値の上位ビットと比較する。上位ビットが一致する場合、下位ビット比較部は、下位Zバッファメモリが保持する奥行き値の下位ビットと、奥行き値計算部によって計算された奥行き値の下位ビットとを比較する。記録更新部は、奥行き値計算部によって計算された奥行き値の上位ビットが示す深度が浅い場合、上位Zバッファメモリが保持する奥行き値の上位ビット及び下位Zバッファメモリが保持する下位ビットを更新する。

新し、奥行き値計算部によって計算された奥行き値の下位ビットが示す深度が浅い場合、下位Zバッファメモリが保持する下位ビットを更新する。

WO 2006/011307 A1



BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,
IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される
各*PCT*ガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

添付公開書類:
— 国際調査報告書

明 細 書

3次元形状描画装置及び3次元形状描画方法

技術分野

[0001] 本発明は、3次元形状描画装置及び3次元形状描画方法に関し、より特定的には、視点からの奥行き値を利用するZバッファ法を用いて3次元形状を描画する3次元形状描画装置及び3次元形状描画方法に関する。

背景技術

- [0002] 従来から、隠れ面除去方式としてZバッファ法を用いて3次元形状を描画する3次元形状表示装置がある。このような3次元形状表示装置による描画処理を高速化する技術として、画素ごとに1ビットのフラグメモリを持つ方法(例えば、特許文献1)や、複数の画素の一番遠い奥行き値と一番近い奥行き値を持つ縮退したZバッファを持つ方法(例えば、特許文献2)などがある。
- [0003] 図7は、特許文献2に記載の3次元形状描画装置200の構成を示すブロック図である。また、図8は、図7に示す3次元形状描画装置200によって描画された3次元形状が表示される画面214と、ZRバッファ205の構成とを模式的に示す図である。
- [0004] 図7において、画像供給部208は、描画すべきポリゴンのデータ(以下、ポリゴンデータと呼ぶ)を画像合成部201のピクセル描画部209及び描画判断部210の双方に供給する。画像合成部201は、ポリゴンデータをピクセルデータに変換する。
- [0005] 図8に示すように、画面214は、 $M \times N$ のブロックに分割されている。分割された画像信号を構成するブロック213は、 $K \times L$ の画素で構成される。ZRバッファ205は、各々のブロックにおけるMAXZと、MINZとを保持している。
- [0006] Zメインバッファ206は、全てのZ値(奥行き値)を格納する。ZRバッファ205は、図8に示す各ブロックにおける最大のZ値(MAXZ)211と、最小のZ値(MINZ)212とを保持する。
- [0007] ピクセル描画部209は、描画する画素のZ値と、当該画素の位置を示すX座標及びY座標を描画判断部210へ出力する。描画判断部210は、ZRバッファ205及びZメインバッファ206のうち、少なくともZRバッファ205が保持するZ値に基づき、画素を

描画すべか否かを判断する。

- [0008] フレームバッファ203は、描画判断部210によって描画すべきと判断された画素を保持する。パレット回路204は、フレームバッファ203の画素データを実際の輝度データに変換する。パレット回路204は、表示部207に表示すべき画像を供給する。
- [0009] 特許文献2に記載の従来の3次元形状描画装置は、新たに3次元形状を描画する際、画面214におけるブロック213のMAXZ211、及びMINZ212と、これから描画しようとする画素のZ値とを比較する。これから描画しようとする画素のZ値がMAXZ211より大きい場合、3次元形状描画装置200は、その画素の描画を取りやめる。
- [0010] 一方、これから描画しようとする画素のZ値がMINZ212より小さい場合、3次元形状描画装置200は、Zメインバッファ206に新たなZ値を書き込み、フレームバッファ203に新たな画素値を書き込む。さらに、3次元形状描画装置200は、MINZ212を新たなZ値に書き換える。
- [0011] また、これから描画しようとする画素のZ値がMINZ212とMAXZ211の間である場合、3次元形状描画装置200は、Zメインバッファ206を参照し、これから描画しようとする画素のZ値と、Zメインバッファ206が保持するZ値と比較する。
- [0012] そして、これから描画しようとしている画素のZ値が、Zメインバッファ206が保持するZ値よりも小さい場合、3次元形状描画装置200は、Zメインバッファ206が保持するZ値を新たなZ値に書き換える。そして、3次元形状描画装置200は、Zメインバッファ206が保持するZ値のうち、ブロック213に属する全てのZ値を調べ、その中で一番大きなZ値をMAXZ211とする。
- [0013] 以上のように、特許文献2に記載の従来の3次元形状描画装置は、これから描画しようとする画素のZ値が、当該画素が位置するブロックにおける最大のZ値と最小のZ値との間にある場合にのみ、Zメインバッファ206へアクセスする。これにより、アクセス量を低減することができる。

特許文献1:特開昭62-42281号公報

特許文献2:特開平8-161526号公報(第5-7頁、図1、図4)

発明の開示

発明が解決しようとする課題

[0014] しかしながら、特許文献2に記載の従来の3次元形状描画装置は、画素ごとにZメインバッファを参照する必要をなくすることができるものの、ZRバッファが保持する最大のZ値を更新する際、最大のZ値を決定するために、ブロック内のZ値を全て読み出さなければならない。また、この最大のZ値の計算をしている最中は、次の画素の処理を続行することができないため、描画処理が中断してしまう。したがって、3次元形状を高速に描画することができない。

[0015] それゆえに、本発明の目的は、3次元形状を高速に描画することができる3次元形状描画装置及び3次元形状描画方法を提供することである。

課題を解決するための手段

[0016] 本発明は、Zバッファ法を用いて3次元形状を描画する3次元形状描画装置であつて、描画すべき画素の奥行き値を計算する奥行き値計算部と、奥行き値計算部によって計算された奥行き値のうち、最も前面に表示すべき画素の奥行き値の上位ビットを保持する上位Zバッファメモリと、奥行き値計算部によって計算された奥行き値のうち、最も前面に表示すべき画素の奥行き値の下位ビットを保持する下位Zバッファメモリと、上位Zバッファメモリが保持する上位ビットを読み出し、奥行き値計算部によって計算された奥行き値の上位ビットと比較する上位ビット比較部と、上位ビット比較部による比較の結果、奥行き値計算部によって計算された奥行き値の上位ビットが、上位Zバッファメモリが保持する奥行き値の上位ビットと等しい値である場合、下位Zバッファメモリが保持する奥行き値の下位ビットを読み出し、奥行き値計算部によって計算された奥行き値の下位ビットと比較する下位ビット比較部と、上位ビット比較部による比較の結果、奥行き値計算部によって計算された奥行き値の上位ビットが示す深度が、上位Zバッファメモリが保持する奥行き値の上位ビットが示す深度よりも浅い場合、奥行き値計算部によって計算された奥行き値によって、上位Zバッファメモリが保持する奥行き値の上位ビット及び下位Zバッファメモリが保持する下位ビットを更新し、下位ビット比較部による比較の結果、奥行き値計算部によって計算された奥行き値の下位ビットが示す深度が、下位Zバッファメモリが保持する奥行き値の下位ビットが示す深度よりも浅い場合、奥行き値計算部によって計算された奥行き値によって、下位Zバッファメモリが保持する下位ビットを更新する記録更新部とを備える。

[0017] また、Zバッファ法を用いて3次元形状を描画するための方法であって、描画すべき画素の奥行き値を計算するステップと、奥行き値を計算するステップにおいて計算された奥行き値のうち、最も前面に表示すべき画素の奥行き値の上位ビットを保持する上位Zバッファメモリから上位ビットを読み出し、奥行き値を計算するステップにおいて計算された奥行き値の上位ビットと比較するステップと、上位ビットを比較するステップにおいて、奥行き値を計算するステップにおいて計算された奥行き値の上位ビットが、上位Zバッファメモリが保持する奥行き値の上位ビットと等しい値であると判断された場合、奥行き値を計算するステップにおいて計算された奥行き値のうち、最も前面に表示すべき画素の奥行き値の下位ビットを保持する下位Zバッファメモリから下位ビットを読み出し、奥行き値を計算するステップにおいて計算された奥行き値の下位ビットと比較するステップと、上位ビットを比較するステップにおいて、奥行き値を計算するステップにおいて計算された奥行き値の上位ビットが示す深度が、上位Zバッファメモリが保持する奥行き値の上位ビットが示す深度よりも浅いと判断された場合、奥行き値を計算するステップにおいて計算された奥行き値によって、上位Zバッファメモリが保持する奥行き値の上位ビット及び下位Zバッファメモリが保持する下位ビットを更新し、下位ビットを比較するステップにおいて、奥行き値を計算するステップにおいて計算された奥行き値の下位ビットが示す深度が、下位Zバッファメモリが保持する奥行き値の下位ビットが示す深度よりも浅いと判断された場合、奥行き値を計算するステップにおいて計算された奥行き値によって、下位Zバッファメモリが保持する下位ビットを更新するステップとを備える。

発明の効果

[0018] 本発明によれば、3次元形状を高速に描画することができる3次元形状描画装置及び3次元形状描画方法が提供される。

図面の簡単な説明

[0019] [図1]図1は、本発明の一実施形態に係る3次元形状描画装置の構成を示す機能ブロック図である。

[図2]図2は、上位Zバッファメモリ102、及び下位Zバッファメモリ104が保持する奥行き値を模式的に示す図である。

[図3]図3は、図1に示す3次元形状描画装置の動作を示すフローチャートである。

[図4]図4は、図3に示すサブルーチンステップS19における処理の詳細を示すフローチャートである。

[図5]図5は、3次元形状描画装置のハードウェア構成の一例を示すブロック図である。

[図6]図6は、3次元形状描画装置のハードウェア構成の一例を示すブロック図である。

[図7]図7は、特許文献2に記載の3次元形状描画装置200の構成を示すブロック図である。

[図8]図8は、図7に示す3次元形状描画装置によって描画された3次元形状が表示される画面214と、ZRバッファ205の構成とを模式的に示す図である。

符号の説明

- [0020] 101 描画部
- 102 上位Zバッファメモリ
- 103 画像メモリ
- 104 下位Zバッファメモリ
- 105 上位ビット比較部
- 106 下位ビット比較部
- 107 上位Zバッファクリア部
- 108 下位Zバッファクリア部
- 110 奥行き値計算部
- 111 輝度・マテリアル計算部
- 121 CPU
- 122 高速グラフィックメモリ
- 123 低速グラフィックメモリ
- 201 画像合成部
- 202 描画処理部
- 203 フレームバッファ

204 パレット回路
205 ZRバッファ
206 Zメインバッファ
207 表示部
208 画像供給部
209 ピクセル描画部
210 描画判断部
211 ブロック内の最大のZ値
212 ブロック内の最小のZ値
213 画面を分割したブロックの一例
214 画面
401, 402 図形
403 図形を構成する1画素

発明を実施するための最良の形態

[0021] 以下、本発明の実施形態について、図面を参照しながら説明する。

[0022] 図1は、本発明の一実施形態に係る3次元形状描画装置10の構成を示す機能ブロック図である。図1において、3次元形状描画装置10は、描画部101と、上位Zバッファメモリ102と、画像メモリ103と、下位Zバッファメモリ104と、上位ビット比較部105と、下位ビット比較部106と、上位Zバッファクリア部107と、下位Zバッファクリア部108とを備える。

[0023] 画像メモリ103は、描画部101で描画され、隠れ面除去された画像のデータを格納する。上位Zバッファメモリ102は、最も前面に表示すべき画素の奥行き値、つまり、画像メモリ103に格納されている各画素の奥行き値の上位ビットを格納する。下位Zバッファメモリ104は、最も前面に表示すべき画素の奥行き値、つまり、画像メモリ103に格納されている各画素の奥行き値の下位ビットを格納する。例えば、奥行き値が24ビットで表される場合、上位Zバッファメモリ102は、奥行き値の上位8ビットを保持し、下位Zバッファメモリ104は、奥行き値の下位16ビットを保持する。

[0024] タイミング制御部109は、前画面の表示が終了し、次画面を表示するための図形を

描画するタイミングを制御する。具体的には、タイミング制御部109は、次画面に図形を描写すべきタイミングになると、画像メモリ103、上位Zバッファメモリ102及び下位Zバッファメモリ104を初期化するよう、上位Zバッファクリア部107及び下位Zバッファメモリ104へ指示する。また、タイミング制御部109は、次画面に図形を描写すべきタイミングになると、図形の描画を開始するよう描画部101へ指示する。

[0025] 上位Zバッファクリア部107は、タイミング制御部109の指示に応じて、上位Zバッファメモリ102及び画像メモリ103を初期化する。下位Zバッファクリア部108は、タイミング制御部109の指示に応じて、下位Zバッファメモリ104を初期化する。

[0026] 上位ビット比較部105は、後述する奥行き値計算部110から受け取った奥行き値の上位ビットと、上位Zバッファメモリ102から読み出した奥行き値の上位ビットとを比較する。上位ビット比較部105が上位Zバッファメモリ102から読み出す下位ビットは、奥行き値計算部110が計算に用いた画素と同じ位置にある画素の奥行き値の下位ビットである。そして、上位ビット比較部105は、上位ビットの比較結果を後述する読み出し制御部112へ通知する。

[0027] 下位ビット比較部106は、後述する奥行き値計算部110から受け取った奥行き値の下位ビットと、下位Zバッファメモリ104から読み出した奥行き値の下位ビットとを比較する。下位ビット比較部106が下位Zバッファメモリ104から読み出す下位ビットは、奥行き値計算部110が計算に用いた画素と同じ位置にある画素の奥行き値の下位ビットである。そして、下位ビット比較部106は、下位ビットの比較結果を後述する読み出し制御部112へ通知する。

[0028] 描画部101は、奥行き値計算部110と、輝度・マテリアル計算部111と、読み出し制御部112と、書き込み制御部113とを含み、ポリゴンデータをピクセルデータに変換する。

[0029] 奥行き値計算部110は、画素の奥行き値を計算する。そして、奥行き値計算部110は、計算した奥行き値を、上位ビット比較部105、下位ビット比較部106及び書き込み制御部113に渡す。また、奥行き値計算部110は、奥行き値を算出したことを示す算出通知信号を生成し、読み出し制御部112に渡す。なお、各上位ビット及び下位ビットは、奥行き値の位置を示す位置情報と共に、それぞれ上位ビット比較部105及

び下位ビット比較部106へ渡される。位置情報は、例えば、座標である。以下、本実施形態では、特に断らない限り、奥行き値計算部110は、位置情報と共に、奥行き値を上位ビット比較部105、下位ビット比較部106及び書き込み制御部113へ渡すものとする。

[0030] 読み出し制御部112は、算出通知信号を受け取ると、奥行き値計算部110によって計算された奥行き値の上位ビットと、上位Zバッファメモリ102が保持する奥行き値の上位ビットとを比較するよう、上位ビット比較部105に指示する。読み出し制御部112は、上位ビット比較部105による比較の結果、奥行き値計算部110によって計算された奥行き値の上位ビットと、上位Zバッファメモリ102が保持する奥行き値の上位ビットとが一致する場合、奥行き値計算部110によって計算された奥行き値の下位ビットと、下位Zバッファメモリ104が保持する奥行き値の下位ビットとを比較するよう、下位ビット比較部106に指示する。

[0031] そして、読み出し制御部112は、上位ビット比較部105及び下位ビット比較部106からの通知に基づき、上位Zバッファメモリ102及び下位Zバッファメモリ104が保持する奥行き値を更新すべきか否かを判断する。上位ビット比較部105による比較の結果、奥行き値計算部110によって計算された奥行き値の上位ビットが示す深度が、上位Zバッファメモリ102が保持する奥行き値の上位ビットが示す深度よりも浅い場合、読み出し制御部112は、奥行き値計算部110によって計算された奥行き値によって、上位Zバッファメモリ102が保持する奥行き値の上位ビット及び下位Zバッファメモリ104が保持する下位ビットを更新するよう、書き込み制御部113に指示する。

[0032] また、下位ビット比較部106による比較の結果、奥行き値計算部110によって計算された奥行き値の下位ビットが示す深度が、下位Zバッファメモリ104が保持する奥行き値の下位ビットが示す深度よりも浅い場合、奥行き値計算部110によって計算された奥行き値によって、下位Zバッファメモリ104が保持する下位ビットを更新するよう、書き込み制御部113に指示する。

[0033] 書き込み制御部113は、読み出し制御部112からの指示に応じて、上位Zバッファメモリ102が保持する上位ビット、及び下位Zバッファメモリ104が保持する下位ビットのうち、少なくとも下位ビットを更新する。また、書き込み制御部113は、上位Zバッファ

ァメモリ102または下位Zバッファメモリ104の記録を更新する際、輝度値及びマテリアル値を計算して画像メモリ103へ書き込むよう、輝度・マテリアル計算部111に指示する。

[0034] 輝度・マテリアル計算部111は、書き込み制御部113の指示に応じて、画素の明るさである輝度値や、表面の質感であるマテリアル値を計算する。そして、輝度・マテリアル計算部111は、計算した輝度値及びマテリアル値を画像メモリ103に書き込む。

[0035] 図2及び図3は、図1に示す3次元形状描画装置10の動作を示すフローチャートである。まず、前画面の表示処理が完了すると、タイミング制御部109は、画像メモリ及び上位Zバッファメモリ102を初期化するよう上位Zバッファクリア部107へ指示する。上位Zバッファクリア部107は、上位Zバッファメモリ102及び画像メモリ103を初期化するし、上位Zバッファメモリ102が保持する値、及び画像メモリが保持する値を初期値で塗りつぶす(ステップS11)。初期値とは、例えば、視点から見たときの最遠の値である。以下、奥行き値が十六進数で表され、最遠の値が000000Hの24ビットからなる場合を例に説明する。例えば、上位ビットが8ビットである場合、ステップS11において、上位Zバッファクリア部107は、上位Zバッファメモリ102を00Hで初期化する。

[0036] 次に、タイミング制御部109は、下位Zバッファメモリ104を初期化するよう下位Zバッファクリア部108へ指示する。下位Zバッファクリア部108は、下位Zバッファメモリ104を初期化し、下位Zバッファメモリ104が保持する値を初期値で塗りつぶす(ステップS12)。例えば、下位ビットが16ビットである場合、ステップS12において、下位Zバッファクリア部108は、下位Zバッファメモリ104を0000Hで初期化する。

[0037] 奥行き値計算部110は、図示しない画像供給部から出力される3次元形状の各々の画素の奥行き値Znowを計算し、上位ビット比較部105、下位ビット比較部106及び書き込み制御部113に渡す。また、奥行き値計算部110は、算出通知信号を読み出し制御部112に渡す。読み出し制御部112は、奥行き値計算部110によって計算された奥行き値の上位ビットと、上位Zバッファメモリ102が保持する奥行き値の上位ビットとを比較するよう、上位ビット比較部105に指示する。

[0038] 上位ビット比較部105は、上位Zバッファメモリ102から奥行き値の上位ビットZoldH

Iを読み出して(ステップS13)、奥行き値計算部110から受け取った上位ビットZnowHIと比較し(ステップS14)、その比較結果を読み出し制御部112に通知する。

[0039] 読み出し制御部112は、受け取った比較結果に基づき、上位ビット比較部105による比較の結果、奥行き値計算部110によって計算された奥行き値の上位ビットと、上位Zバッファメモリ102が保持する奥行き値の上位ビットとが一致するか否かを判断する(ステップS15)。上位ビットが一致する場合、つまり、ZnowHI=ZoldHIである場合、上位ビットの比較だけでは画素の位置関係を判断できない。したがって、読み出し制御部112は、奥行き値計算部110で計算された奥行き値の下位ビットZnowLOと、下位Zバッファメモリ104が保持する奥行き値の下位ビットとを比較するよう下位ビット比較部106に指示する。

[0040] 下位ビット比較部106は、下位Zバッファメモリ104から奥行き値の下位ビットZoldLOを読み出して(ステップS16)、奥行き値計算部110から受け取った下位ビットZnowLOと比較し(ステップS17)、その比較結果を読み出し制御部112に通知する。

[0041] 読み出し制御部112は、これから描画しようとしている奥行き値の下位ビットが示す深度が、下位Zバッファメモリ104が保持する下位ビットが示す深度よりも浅いか否かを判断する(ステップS18)。ZnowLO>ZoldLOである場合、つまり、これから描画しようとする画素が、既に描画されている画素の前面にある場合、読み出し制御部112は、図3のステップS21の処理へ進む。一方、ZnowLO≤ZoldLOである場合、輝度・マテリアル計算部111での処理は行わずに次の画素の処理を行う。つまり、読み出し制御部112はステップS13の処理へ進む。

[0042] 図3に示すステップS21において、書き込み制御部113は、下位ビットZnowLOを下位Zバッファメモリ104へ書き込む。

[0043] そして、書き込み制御部113は、輝度値及びマテリアル値を計算するよう、輝度・マテリアル計算部111へ指示する。輝度・マテリアル計算部111は、画素の輝度値等Inowを計算して画像メモリ103へ書き込む(ステップS22)。

[0044] 読み出し制御部112は、画面に描画すべきポリゴンの描画が全て終了したか否かを判断する(ステップS23)。ポリゴンの描画が全て終了していない場合、読み出し制御部112は、ステップS13の処理に戻る。一方、ポリゴンの描画が全て終了した場合

、つまり、画像供給部から出力される画像データがなくなった場合、読み出し制御部112は、処理を終了する。

[0045] 一方、ステップS15において、上位ビットが一致していない場合、読み出し制御部112は、これから描画しようとしている奥行き値の上位ビットが示す深度が、上位Zバッファメモリ102が保持する上位ビットが示す深度よりも浅いか否かを判断する(ステップS19)。ZnowHI<ZoldHIである場合、つまり、これから描画しようとする画素が、既に描画されている画素の背面にある場合、輝度・マテリアル計算部111での処理は行わずに次の画素の処理を行う。この場合、読み出し制御部112はステップS13の処理へ進む。

[0046] 一方、ZnowHI>ZoldHIである場合、つまり、これから描画しようとする画素が、既に描画されている画素の前面にある場合、読み出し制御部112は、上位Zバッファメモリ102及び下位Zバッファメモリ104が保持する奥行き値を更新するよう書き込み制御部113に指示する。書き込み制御部113は、図3に示すステップS20の処理へ進み、上位ビットZnowHIを上位Zバッファメモリ102へ書き込む。ステップS21以降の処理は、前述の通りであるため、説明を省略する。

[0047] 図4は、上位Zバッファメモリ102、及び下位Zバッファメモリ104が保持する図形401及び図形402の奥行き値を模式的に示す図である。画素403は、上位Zバッファメモリ102と、下位Zバッファメモリ104とにおいて、同一座標に位置する画素である。なお、説明の簡単のために、図4において、画像メモリ103の構成の図示を省略している。

[0048] 図4に示す例において、上位Zバッファメモリ102は上位8ビットを保持し、下位Zバッファメモリ104は下位16ビットを保持する。したがって、上位Zバッファクリア部107は、上位Zバッファメモリ102が保持する値を00Hで初期化し、下位Zバッファクリア部108は、下位Zバッファメモリ104が保持する値を0000Hで初期化する。なお、上位Zバッファメモリ102及び下位Zバッファクリア部108を初期化するための専用の上位Zバッファクリア部107や下位Zバッファクリア部108を持たずに、描画部101が最遠値000000Hで値を埋めることとしてもよい。

[0049] 次に、図4に示す画素403を例に説明する。はじめに、上位Zバッファクリア部107

、及び下位Zバッファクリア部108は、それぞれ、上位Zバッファメモリ102及び下位Zバッファメモリ104を、各々の初期値00H、0000Hで初期化する。次に、図形401を描画する際に、上位ビット比較部105は、図形401における画素403の位置の奥行き値の上位8ビットZ401HIと、上位Zバッファメモリ102が保持する初期値00Hとを比較する。その結果、Z401HIの方が初期値よりも大きく、手前に位置するため、書き込み制御部113は、上位Zバッファメモリ102にZ401HIを書き込み、下位Zバッファメモリ104にZ401LOを書き込む。また輝度・マテリアル計算部111は、画素403の輝度値及びマテリアル値を算出して画像メモリ103に書き込む。

[0050] 次に、図形402を描画する際に、上位ビット比較部105は、図形402における画素403の位置の奥行き値の上位8ビットZ402HIと、上位Zバッファメモリ102が保持する図形401における画素403の奥行き値Z401HIとを比較する。この奥行き値が一致した場合、読み出し制御部112は、下位ビット比較部106に下位ビットを比較するよう指示する。下位ビット比較部106は、図形402における画素403の位置の奥行き値の下位16ビットZ402LOと、下位Zバッファメモリ104が保持するZ401LOとを比較する。この結果、Z401LO > Z402LOであるため、上位Zバッファメモリ102、下位Zバッファメモリ104、画像メモリ103が保持する画素403の値は更新されない。そして、処理は、次の画素の描画へと進む。

[0051] 以上のように、本実施形態によれば、ピクセルデータを描画する際、まず、奥行き値の上位ビットのみを比較し、上位ビットが一致したときにのみ、下位ビットを比較する。これにより、奥行き値の上位ビットを先行的に比較するため、バスアクセス量を低減することができる。したがって、3次元形状を高速に描画することができる。なお、アクセス量は、メモリへのアクセス回数×バス幅で表される。

[0052] また、本実施形態によれば、バス帯域を低減することができるため、限られたバス幅でも高速に3次元形状を描画することができる。また、隠れ面除去を行った後の画素のみ描画計算を行うことで、低い演算性能でも多くの描画を行うことができる。

[0053] なお、本実施形態では、輝度・マテリアル計算部111は、奥行き値の比較が終わって必要なときのみ計算する場合を例に説明した。ここで、奥行き値計算部110での計算と同時に行ってよい。また、奥行き値計算部110での処理、上位ビット比較部10

5での処理、下位ビット比較部106での処理、輝度・マテリアル計算部111での処理をパイプライン的に処理してもよい。

[0054] また、本実施形態では、画素の奥行き値が16進数で表される24ビットからなり、00000Hが初期値であるものとして説明したが、初期値はこれに限られず、例えば、010000Hを一番奥の値として上位Zバッファメモリ及び下位Zバッファメモリを初期化してもよい。

[0055] また、本実施形態では、次画面の描画を開始する際、上位Zバッファメモリ及び下位Zバッファメモリの双方を初期化するものとして説明した。ここで、初期化の値を所定の値、例えば、00Hや11Hとし、上位Zバッファメモリのみを初期化することとしてもよい。この場合、最初に上位ビット比較部で比較される奥行き値の上位ビットは、必ず上位Zバッファメモリに書き込まれ、それと共に、当該奥行き値の下位ビットは、下位Zバッファメモリに書き込まれる。したがって、下位Zバッファクリア部による下位Zバッファメモリのクリアを省くことができる。これにより、メモリアクセス量を減らすことができ、低い演算性能でも多くの描画を行うことができる。

[0056] なお、本実施形態では、一例として上位の奥行き値を8ビット、下位の奥行き値を16ビットの合計24ビットであるものとして説明したが、合計のビット数ならびに、上位、下位の分け方は任意でよい。しかしながら、上位Zバッファメモリからの読み出し量を低減させるために、上位ビットは、下位ビットと同数、または下位ビットよりも少ないビット数であることが好ましい。

[0057] また、本実施形態では、比較した下位ビットが一致した場合、下位Zバッファが保持する下位ビットは更新されなかった。ここで、比較した下位ビットが一致した場合、下位Zバッファが保持する下位ビット及び画像メモリが保持する輝度値やマテリアル値を更新することとしてもよい。

[0058] また、本実施形態では、上位Zバッファメモリ及び下位Zバッファメモリは、物理的に分離可能な2つのメモリであるものとして説明したが、上位Zバッファメモリ及び下位Zバッファメモリは同一のメモリであってもよい。その場合、上位ビットと、下位ビットとは、同一のメモリの異なるアドレス上に記録される。

[0059] また、上位ビット比較部は、奥行き値計算部によって計算された奥行き値の上位ビ

ットが示す深度が、上位Zバッファメモリが保持する奥行き値の上位ビットが示す深度よりも浅いと判断した場合、奥行き値計算部によって計算された奥行き値の上位ビットにフラグを付与し、下位ビット比較部は、奥行き値計算部によって計算された奥行き値の下位ビットが示す深度が、下位Zバッファメモリが保持する奥行き値の下位ビットが示す深度よりも浅いと判断した場合、奥行き値計算部によって計算された奥行き値の下位ビットにフラグを付与することとしてもよい。この場合、書き込み制御部は、上位ビットにフラグが付与されている場合に、上位Zバッファメモリが保持する奥行き値の上位ビット及び下位Zバッファメモリが保持する奥行き値の下位ビットを更新し、下位ビットにフラグが付与されている場合に、上位Zバッファメモリが保持する奥行き値の上位ビット及び下位Zバッファメモリが保持する下位ビットのうち、少なくとも下位ビットを更新するとよい。

[0060] (実施例)

次に、本発明の実施例について説明する。図5は、3次元形状描画装置10のハードウェア構成を示すブロック図である。3次元形状描画装置10は、描画部101を構成するCPU121と、高速グラフィックメモリ122と、低速グラフィックメモリ123とを備える。なお、上位ビット比較部105、下位ビット比較部106、上位Zバッファクリア部107、下位Zバッファクリア部108、及びタイミング制御部109もCPUで構成されるが、図5では、代表して描画部101のみを図示している。

[0061] 図5に示す3次元形状描画装置10の機能ブロック図は、上述した実施形態と同様であるため、図1を援用する。また、図5に示す3次元形状描画装置10の動作は、上述した実施形態と同様であるため、図2を援用する。

[0062] 高速グラフィックスメモリ122は、例えば、SRAM(Static Random Access Memory)やASIC内蔵メモリであり、上位Zバッファメモリ102を含む。低速グラフィックスメモリ123は、例えば、DRAM(Dynamic Random Access Memory)であり、画像メモリ103と下位Zバッファメモリ104とを含む。

[0063] これにより、下位Zバッファメモリや画像メモリに比べてアクセスの頻度が高い上位Zバッファメモリとして、処理が高速な高速グラフィックメモリを用いることにより、処理を迅速に行うことができる。また、下位Zバッファメモリは、奥行き値のうちの上位8ビット

のみを保持すればよいため、必要な高速グラフィックメモリの容量を抑制することができる。また、上位Zバッファメモリに比べてアクセスの頻度が低い下位Zバッファメモリや画像メモリを、大容量だが低速な低速グラフィックメモリに割り当てることにより、コストアップを最低限に押さえつつ、3次元形状描画装置の処理を高速化することができる。

- [0064] また、DSPのような演算器を用いて3次元形状を描画する場合、上位Zバッファメモリまたは下位Zバッファメモリの記録を更新する場合に輝度等の計算を行うため、同一の演算性能であっても、従来の3次元形状描画装置と同じ時間でより多くの3次元形状を描画することができる。
- [0065] また、本実施例では、描画部、上位ビット比較部、下位ビット比較部、上位Zバッファクリア部、下位Zバッファクリア部、及びタイミング制御部はCPUで構成されるものとして説明したが、これらは、必ずしもCPUで構成される必要はなく、それぞれの機能を有するプログラムがマスクされたLSI等であってもよい。
- [0066] なお、本実施例において、画像メモリ及び下位Zバッファメモリは、3次元形状描画装置に内蔵されているものとして説明したが、これらのメモリは、必ずしも3次元形状描画装置に内蔵されている必要はない。
- [0067] 図6は、画像メモリ103及び下位Zバッファメモリが外付けのメモリである場合における、3次元形状描画装置10のハードウェア構成を示すブロック図である。図6において、3次元形状描画装置は、描画部101を構成するCPU121と、内蔵メモリ124と、メモリI/F125とを備える。
- [0068] メモリI/F125は、外付けメモリ126である画像メモリ103及び下位Zバッファメモリ104への描画部101からのアクセスを制御する。
- [0069] このように、画像メモリ及び下位Zバッファメモリへのアクセス量は、上位Zバッファメモリへのアクセス量に比べて頻度が低いため、画像メモリ及び下位Zバッファメモリを外付けメモリとすることも可能である。これにより、3次元形状描画装置が内蔵すべきメモリの容量を低減することができる。

産業上の利用可能性

- [0070] 本発明は、3次元形状を高速に描画することができる3次元形状描画装置及び3次

元形状描画方法等として有用である。

請求の範囲

- [1] Zバッファ法を用いて3次元形状を描画する3次元形状描画装置であって、
描画すべき画素の奥行き値を計算する奥行き値計算部と、
前記奥行き値計算部によって計算された奥行き値のうち、最も前面に表示すべき画素の奥行き値の上位ビットを保持する上位Zバッファメモリと、
前記奥行き値計算部によって計算された奥行き値のうち、最も前面に表示すべき画素の奥行き値の下位ビットを保持する下位Zバッファメモリと、
前記上位Zバッファメモリが保持する上位ビットを読み出し、前記前記奥行き値計算部によって計算された奥行き値の上位ビットと比較する上位ビット比較部と、
前記上位ビット比較部による比較の結果、前記奥行き値計算部によって計算された奥行き値の上位ビットが、前記上位Zバッファメモリが保持する奥行き値の上位ビットと等しい値である場合、前記下位Zバッファメモリが保持する奥行き値の下位ビットを読み出し、前記奥行き値計算部によって計算された奥行き値の下位ビットと比較する下位ビット比較部と、
前記上位ビット比較部による比較の結果、前記奥行き値計算部によって計算された奥行き値の上位ビットが示す深度が、前記上位Zバッファメモリが保持する奥行き値の上位ビットが示す深度よりも浅い場合、前記奥行き値計算部によって計算された奥行き値によって、前記上位Zバッファメモリが保持する奥行き値の上位ビット及び前記下位Zバッファメモリが保持する下位ビットを更新し、前記下位ビット比較部による比較の結果、前記奥行き値計算部によって計算された奥行き値の下位ビットが示す深度が、前記下位Zバッファメモリが保持する奥行き値の下位ビットが示す深度よりも浅い場合、前記奥行き値計算部によって計算された奥行き値によって、前記下位Zバッファメモリが保持する下位ビットを更新する記録更新部とを備える、3次元形状描画装置。
- [2] さらに、描画すべき画素に関する情報である画素値を計算する画素値計算部と、
前記画素値計算部によって計算された画素値を保持する画像メモリとを備える、請求項1に記載の3次元形状描画装置。
- [3] 前記画素値計算部は、前記上位ビット比較部による比較の結果、前記奥行き値計

算部によって計算された奥行き値の上位ビットが示す深度が、前記上位Zバッファメモリが保持する奥行き値の上位ビットが示す深度よりも浅い場合、及び前記下位ビット比較部による比較の結果、前記奥行き値計算部によって計算された奥行き値の下位ビットが、前記下位Zバッファメモリが保持する奥行き値の下位ビットと等しい値である場合に、前記画素値を計算する、請求項2に記載の3次元形状描画装置。

[4] 前記下位ビット比較部は、前記奥行き値計算部によって計算された下位ビットが、前記下位Zバッファメモリが保持する下位ビットと等しい値である場合、当該下位Zバッファメモリが保持する下位ビットを更新する、請求項1に記載の3次元形状描画装置。

[5] 前記上位ビット比較部は、前記下位ビット比較部による前記比較の結果、前記奥行き値計算部によって計算された下位ビットが、前記下位Zバッファメモリが保持する下位ビットと等しい値である場合、次の画素の奥行き値の上位ビットを比較する、請求項1に記載の3次元形状描画装置。

[6] さらに、前記上位Zバッファメモリが保持する奥行き値を所定の値で初期化する上位Zバッファクリア部を備え、

前記所定の値は、最も浅い深度を示す値、または最も深い深度を示す値であることを特徴とする、請求項1に記載の3次元形状描画装置。

[7] さらに、前記上位Zバッファメモリが保持する奥行き値を初期化する上位Zバッファクリア部と、

前記下位Zバッファメモリが保持する奥行き値を初期化する下位Zバッファクリア部とを備える、請求項1に記載の3次元形状描画装置。

[8] 前記上位ビット比較部は、前記奥行き値計算部によって計算された奥行き値の上位ビットが示す深度が、前記上位Zバッファメモリが保持する奥行き値の上位ビットが示す深度よりも浅いと判断した場合、前記奥行き値計算部によって計算された奥行き値の上位ビットにフラグを付与し、

前記下位ビット比較部は、前記奥行き値計算部によって計算された奥行き値の下位ビットが示す深度が、前記下位Zバッファメモリが保持する奥行き値の下位ビットが示す深度よりも浅いと判断した場合、前記奥行き値計算部によって計算された奥行き

値の下位ビットにフラグを付与し、

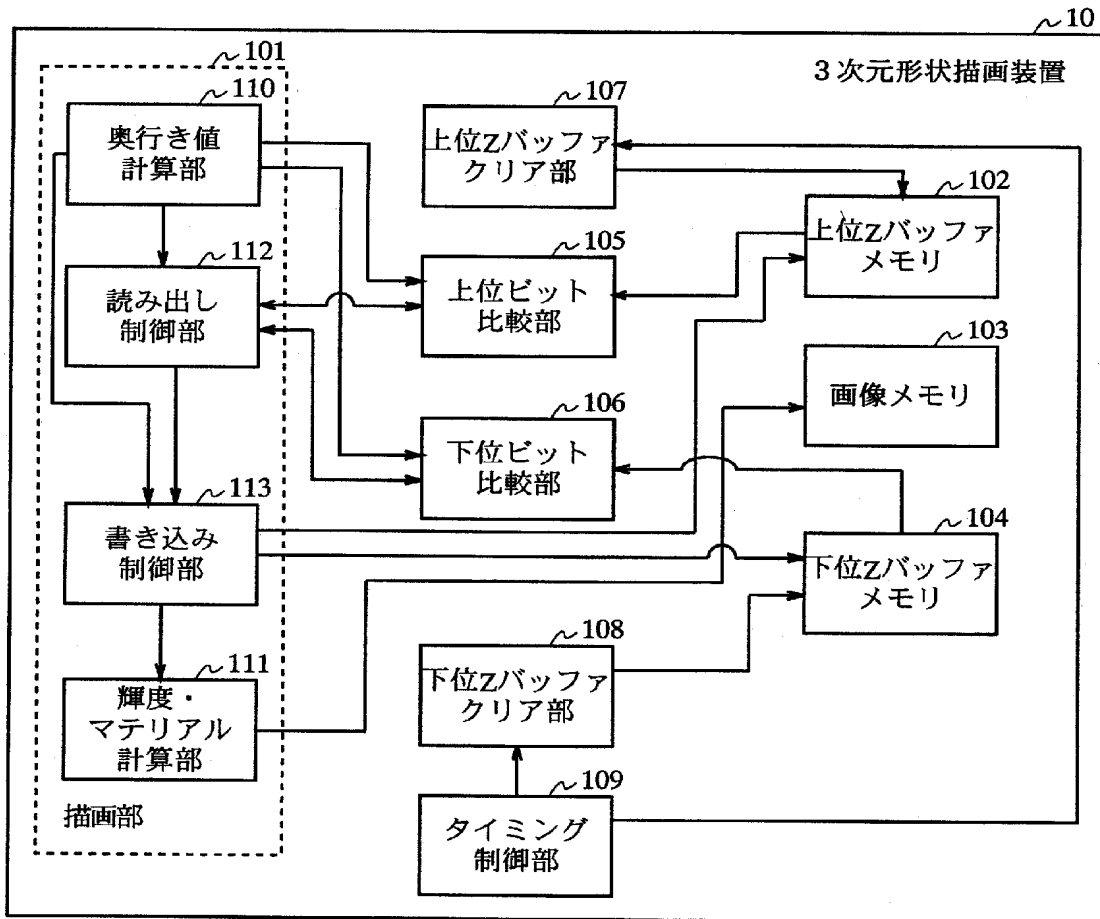
前記記録更新部は、前記上位ビットに前記フラグが付与されている場合に、前記上位Zバッファメモリが保持する奥行き値の上位ビット及び前記下位Zバッファメモリが保持する奥行き値の下位ビットを更新し、前記下位ビットに前記フラグが付与されている場合に、前記上位Zバッファメモリが保持する奥行き値の上位ビット及び前記下位Zバッファメモリが保持する下位ビットのうち、少なくとも下位ビットを更新する、請求項1に記載の3次元描画装置。

- [9] 上位メモリと下位メモリとは物理的に分離可能であることを特徴とする、請求項1に記載の3次元形状描画装置。
- [10] 下位メモリは、前記3次元形状描画装置と物理的に分離可能であることを特徴とする、請求項9に記載の3次元形状描画装置。
- [11] 請求項1に記載の3次元形状描画装置に用いられるメモリであって、別のビット列として分離された上位ビット及び下位ビットの少なくとも一方を格納する、メモリ。
- [12] Zバッファ法を用いて3次元形状を描画するための方法であって、描画すべき画素の奥行き値を計算するステップと、
前記奥行き値を計算するステップにおいて計算された奥行き値のうち、最も前面に表示すべき画素の奥行き値の上位ビットを保持する上位Zバッファメモリから上位ビットを読み出し、前記奥行き値を計算するステップにおいて計算された奥行き値の上位ビットと比較するステップと、
前記上位ビットと比較するステップにおいて、前記奥行き値を計算するステップにおいて計算された奥行き値の上位ビットが、前記上位Zバッファメモリが保持する奥行き値の上位ビットと等しい値であると判断された場合、前記奥行き値を計算するステップにおいて計算された奥行き値のうち、最も前面に表示すべき画素の奥行き値の下位ビットを保持する下位Zバッファメモリから下位ビットを読み出し、前記奥行き値を計算するステップにおいて計算された奥行き値の下位ビットと比較するステップと、
前記上位ビットと比較するステップにおいて、前記奥行き値を計算するステップにおいて計算された奥行き値の上位ビットが示す深度が、前記上位Zバッファメモリが

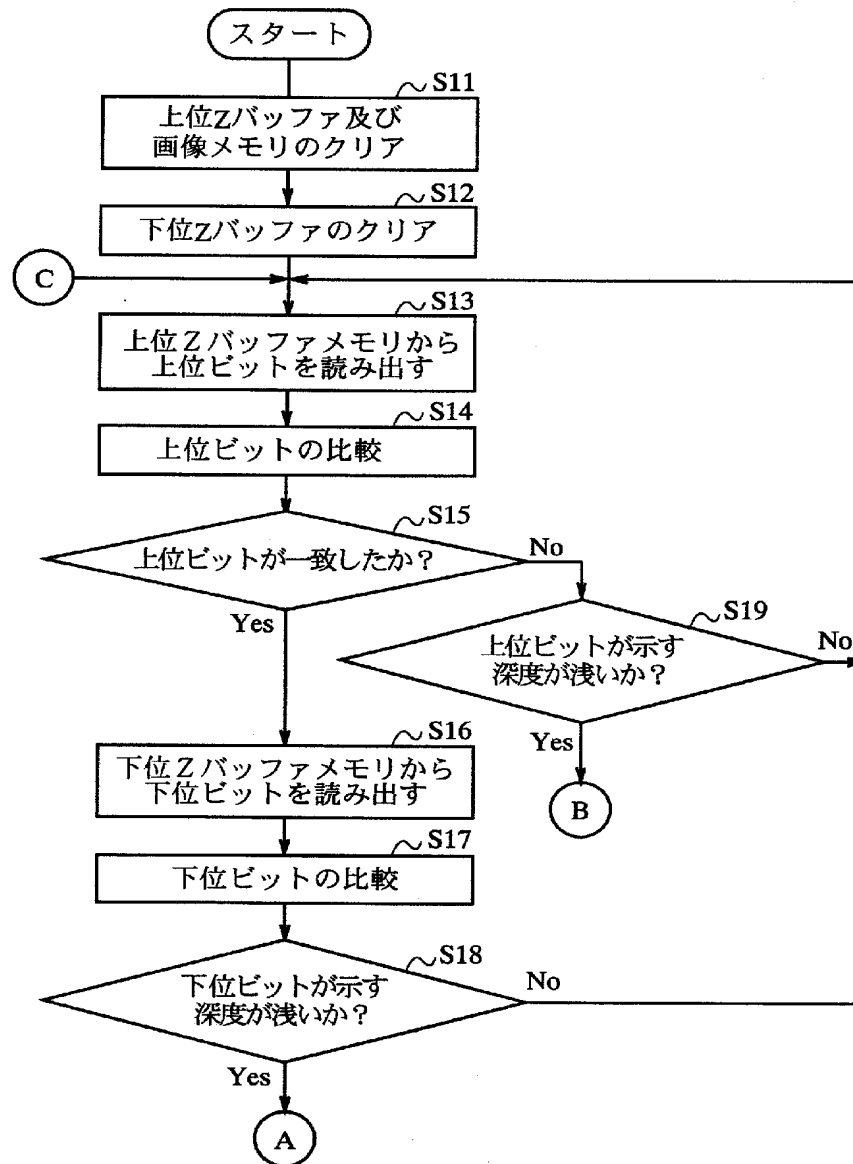
保持する奥行き値の上位ビットが示す深度よりも浅いと判断された場合、前記奥行き値を計算するステップにおいて計算された奥行き値によって、前記上位Zバッファメモリが保持する奥行き値の上位ビット及び前記下位Zバッファメモリが保持する下位ビットを更新し、前記下位ビットを比較するステップにおいて、前記奥行き値を計算するステップにおいて計算された奥行き値の下位ビットが示す深度が、前記下位Zバッファメモリが保持する奥行き値の下位ビットが示す深度よりも浅いと判断された場合、前記奥行き値を計算するステップにおいて計算された奥行き値によって、前記下位Zバッファメモリが保持する下位ビットを更新するステップとを備える、3次元形状描画方法。

- [13] 前記下位ビットを比較するステップにおいて、前記奥行き値を計算するステップにおいて計算された下位ビットが、前記下位Zバッファメモリが保持する下位ビットと等しい値であると判断された場合、当該下位Zバッファメモリが保持する下位ビットを更新する、請求項12に記載の3次元形状描画方法。
- [14] 前記下位ビットを比較するステップにおいて、前記奥行き値を計算するステップにおいて計算された下位ビットが、前記下位Zバッファメモリが保持する下位ビットと等しい値であると判断された場合、次の画素の奥行き値の上位ビットを比較する、請求項12に記載の3次元形状描画方法。
- [15] さらに、前記上位Zバッファメモリが保持する奥行き値を初期化するステップと、前記下位Zバッファメモリが保持する奥行き値を初期化するステップとを備える、請求項12に記載の3次元形状描画方法。
- [16] さらに、前記上位Zバッファメモリが保持する奥行き値を所定の値で初期化するステップを備え、
前記所定の値は、最も浅い深度を示す値、または最も深い深度を示す値であることを特徴とする、請求項12に記載の3次元形状描画方法。

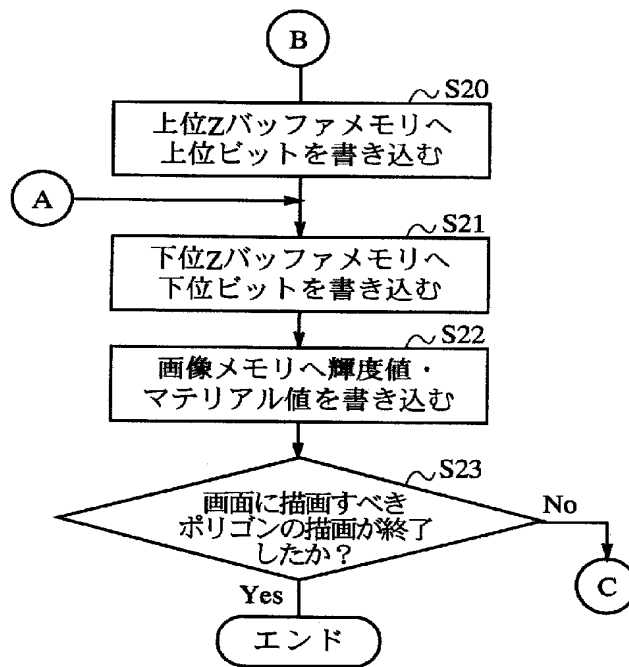
[図1]



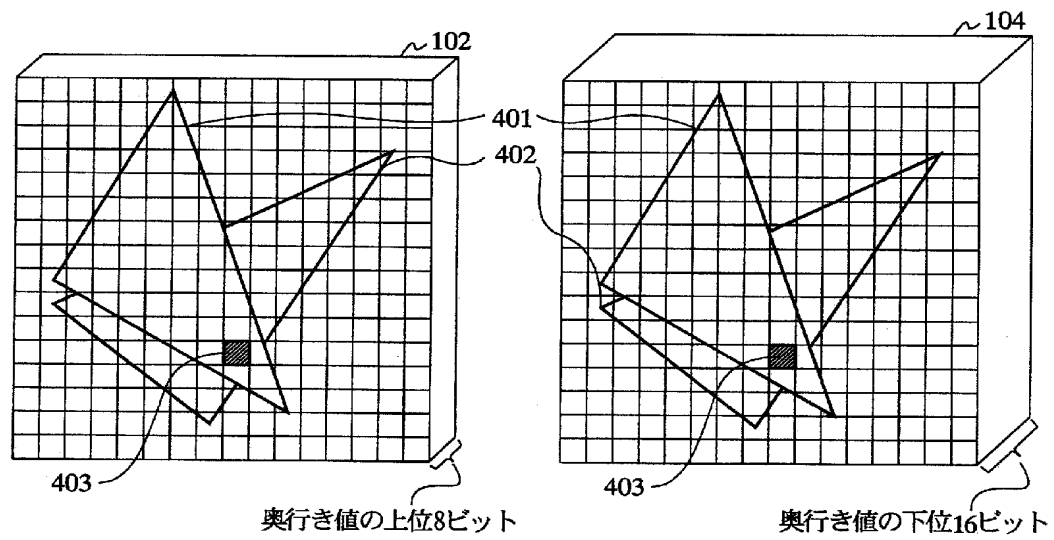
[図2]



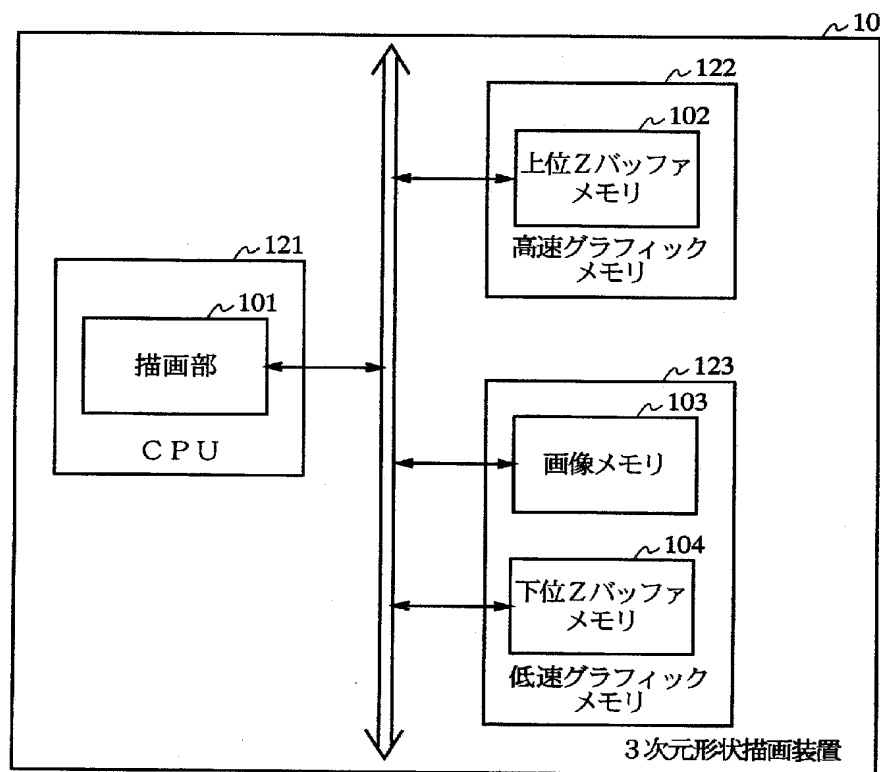
[図3]



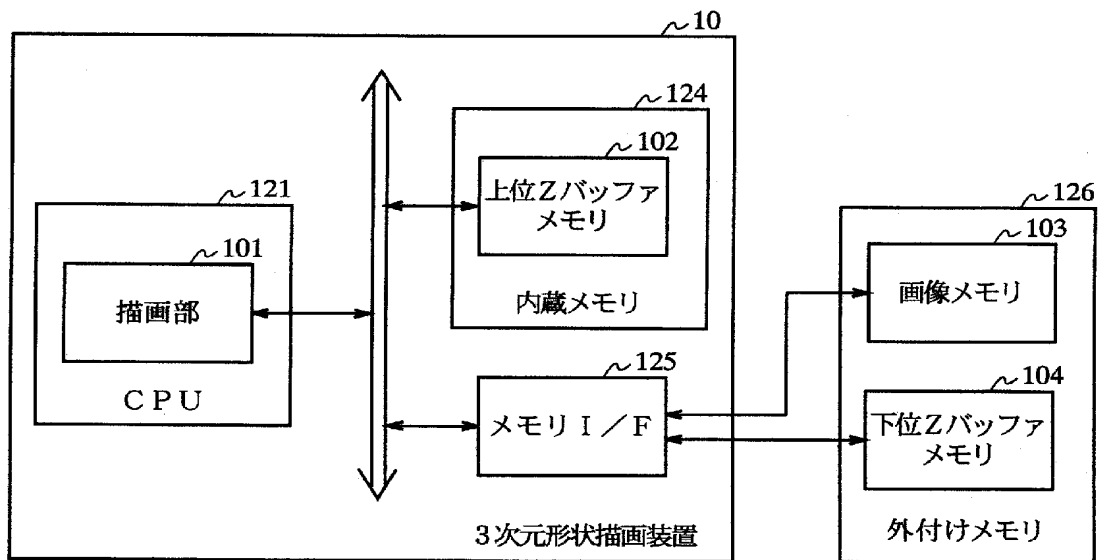
[図4]



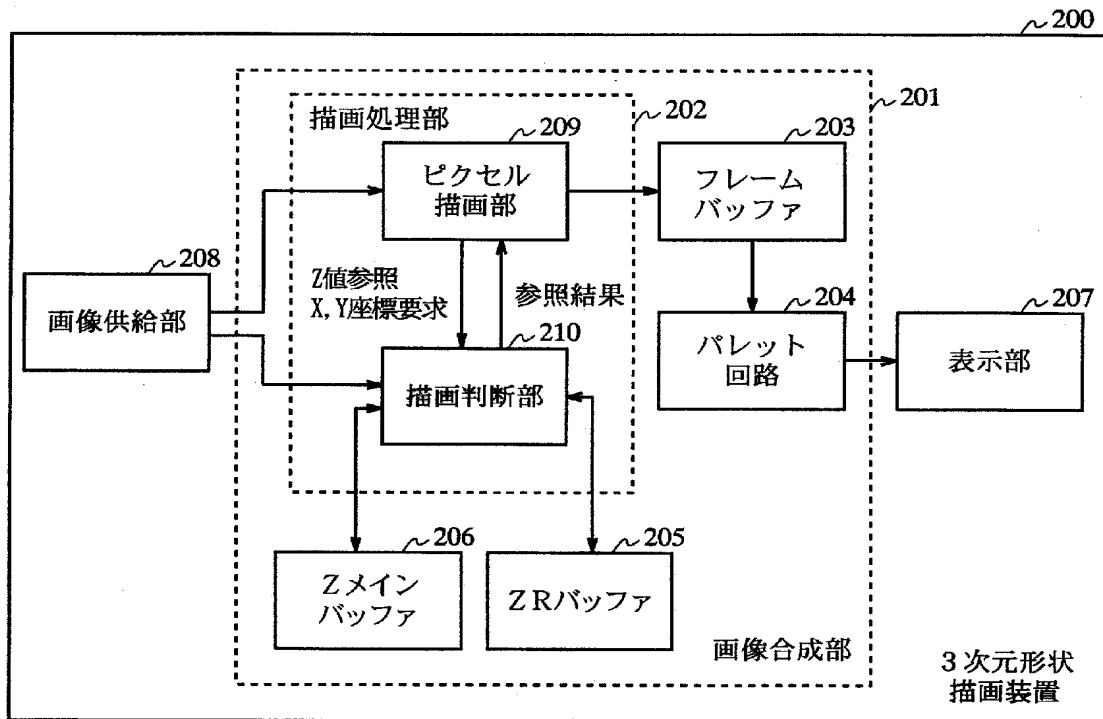
[図5]



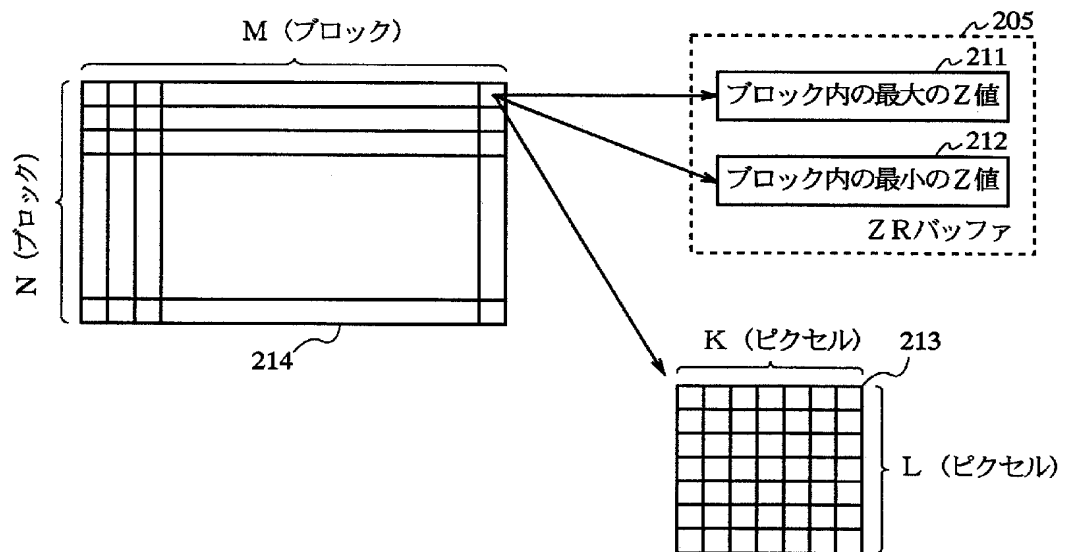
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/010500

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl.⁷ G06T15/40

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ G06T15/40, G06T15/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005

Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 10-49705 A (Sharp Corp.), 20 February, 1998 (20.02.98), Par. Nos. [0034] to [0038]; Figs. 2, 8 (Family: none)	1, 2, 4, 6, 7, 9-13, 15, 16 3, 5, 8, 14
Y A	JP 6-195198 A (Ricoh Co., Ltd.), 15 July, 1994 (15.07.94), Par. No. [0008] & US 5551019 A	1, 2, 4, 6, 7, 9-13, 15, 16 3, 5, 8, 14
Y	JP 1-244585 A (Mitsubishi Electric Corp.), 28 September, 1989 (28.09.89), Page 3, upper right column, lines 2 to 9; Fig. 2 (Family: none)	6, 7



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search

04 July, 2005 (04.07.05)

Date of mailing of the international search report

26 July, 2005 (26.07.05)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/010500

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 5-189203 A (Ricoh Co., Ltd.), 30 July, 1993 (30.07.93), Par. No. [0022]; Fig. 5 & US 5465371 A	1-16
A	JP 62-42281 A (Matsushita Electric Industrial Co., Ltd.), 24 February, 1987 (24.02.87), Full text; Figs. 1 to 4 (Family: none)	8

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ G 0 6 T 1 5 / 4 0

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ G 0 6 T 1 5 / 4 0, G 0 6 T 1 5 / 0 0

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 10-49705 A (シャープ株式会社) 1998.02.20, 段落【0034】—【0038】、第2図、第8図 (ファミリーなし)	1, 2, 4, 6, 7, 9-13, 15, 16 3, 5, 8, 14
Y A	JP 6-195198 A (株式会社リコー) 1994.07.15, 段落【0008】 & US 5551019 A	1, 2, 4, 6, 7, 9-13, 15, 16 3, 5, 8, 14

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

04.07.2005

国際調査報告の発送日

26.07.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

伊知地 和之

5H

9291

電話番号 03-3581-1101 内線 3531

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 1-244585 A (三菱電機株式会社) 1989.09.28, 第3頁右上欄第2-9行, 第2図 (ファミリーなし)	6, 7
A	JP 5-189203 A (株式会社リコー) 1993.07.30, 段落【0022】, 第5図 & US 5465371 A	1-16
A	JP 62-42281 A (松下電器産業株式会社) 1987.02.24, 全文, 第1-4図 (ファミリーなし)	8